

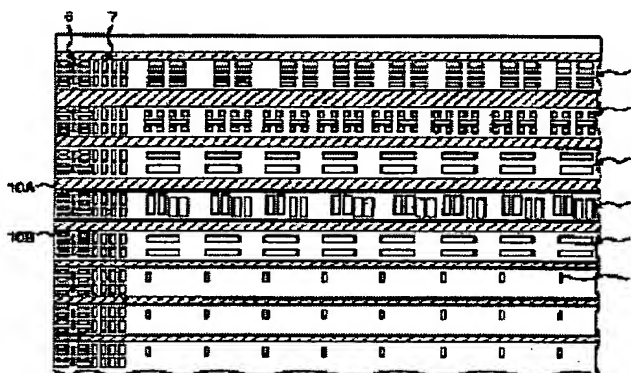
**THIN-FILM SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**

**Patent number:** JP10284418  
**Publication date:** 1998-10-23  
**Inventor:** ADACHI MASAHIRO  
**Applicant:** SHARP KK  
**Classification:**  
- international: **G02F1/136; H01L21/20; H01L21/268; H01L21/336; H01L29/786; G02F1/13; H01L21/02; H01L29/66; (IPC1-7): H01L21/20; G02F1/136; H01L21/268; H01L21/336; H01L29/786**  
- european:  
**Application number:** JP19970084085 19970402  
**Priority number(s):** JP19970084085 19970402

**Report a data error here**

**Abstract of JP10284418**

**PROBLEM TO BE SOLVED:** To provide a thin-film semiconductor device which can have uniform characteristics of a semiconductor element using as an active layer a polycrystalline silicon film formed by laser annealing. **SOLUTION:** A polycrystalline silicon film is formed to have  $\alpha$  regions 10A and  $\beta$  regions 10B alternately distributed on a glass substrate, by a laser annealing process of scanning a laser beam of a rectangular section. Formed on the polycrystalline silicon film in the  $\beta$  regions 10B having nearly an equal roughness are transistor silicon islands 1, 2 for use in a data line driving circuit, transistor silicon islands 3 for use in a sampling circuit, transistor silicon islands 6 for use in a scanning line driving circuit, transistor silicon islands 7 for use in an amplification circuit, and transistor silicon islands 8 for use in a pixel electrode switching circuit.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-284418

(43) 公開日 平成10年(1998)10月23日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 21/20

H 0 1 L 21/20

G 0 2 F 1/136

G 0 2 F 1/136

H 0 1 L 21/268

H 0 1 L 21/268

J

29/786

29/78

6 1 2 Z

21/336

6 2 7 G

審査請求 未請求 請求項の数14 O L (全 18 頁) 最終頁に続く

(21) 出願番号

特願平9-84085

(22) 出願日

平成9年(1997)4月2日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 足立 昌浩

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

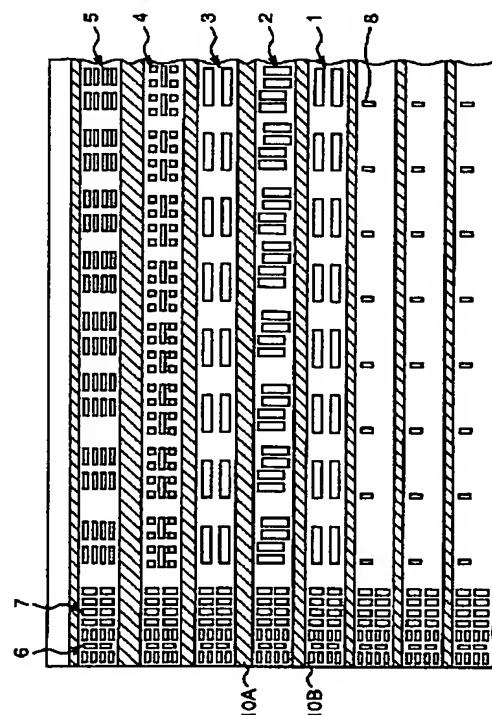
(74) 代理人 弁理士 青山 葆 (外1名)

(54) 【発明の名称】 薄膜半導体装置およびその製造方法

(57) 【要約】

【課題】 レーザーアニールによって形成された多結晶シリコン膜を能動層として用いた半導体素子の特性を均一にできる薄膜半導体装置を提供する。

【解決手段】 断面矩形状のレーザービームをスキャンするレーザーアニールによってガラス基板上に $\alpha$ 領域10Aと $\beta$ 領域10Bが交互に分布する多結晶シリコン膜を形成する。上記データ線駆動回路に用いるトランジスタのシリコンアイランド1、2と、サンプリング回路に用いるトランジスタのシリコンアイランド3と、ロジック回路に用いるトランジスタのシリコンアイランド4、5と、走査線駆動回路に用いるトランジスタのシリコンアイランド6と、増幅回路に用いるトランジスタのシリコンアイランド7と、画素電極用スイッチング回路であるトランジスタのシリコンアイランド8とを、多結晶シリコン膜の表面の凹凸の大きさが略等しい $\beta$ 領域10Bに形成する。



【特許請求の範囲】

【請求項 1】 基板上のアモルファスシリコン膜を断面矩形状のレーザービームでスキャンするレーザーアニールによって上記基板上に形成された多結晶シリコン膜を能動層として用いた半導体素子が含まれる単位回路が配列された薄膜半導体装置において、上記多結晶シリコン膜の表面の凹凸の大きさによって分けられる複数の領域を有し、上記各単位回路に属する全ての上記半導体素子の能動層は、2つ以上の上記領域に形成されることがなく、1つの上記領域に形成されていることを特徴とする薄膜半導体装置。

【請求項 2】 請求項 1 に記載の薄膜半導体装置において、上記単位回路は、液晶表示装置のデジタル信号を扱うロジック回路、アナログ信号をサンプリングするサンプリング回路、増幅回路、走査線駆動回路、データ線駆動回路および画素電極用スイッチング回路のうちの少なくとも1つであることを特徴とする薄膜半導体装置。

【請求項 3】 請求項 1 または 2 に記載の薄膜半導体装置を製造する薄膜半導体装置の製造方法において、レーザーアニールによって基板上に形成された多結晶シリコン膜の表面の凹凸の大きさの状態を計測する工程と、上記多結晶シリコン膜上にフォトレジストを塗布する工程と、計測された上記多結晶シリコン膜の表面の凹凸の大きさの状態に基づいて、上記各単位回路に属する全ての上記半導体素子の能動層が上記多結晶シリコン膜の表面の凹凸の大きさによって分けられた複数の領域のうちの1つのみに形成されるように、上記基板に対してフォトマスクを位置決めする工程と、上記基板に対してフォトマスクを位置決めした後に、上記フォトマスクを用いて上記フォトレジストに露光する工程と、上記フォトレジストを露光した後のレジストパターンに基づいて、エッチングにより上記多結晶シリコン膜をパターンニングする工程とを含むことを特徴とする薄膜半導体装置の製造方法。

【請求項 4】 請求項 3 に記載の薄膜半導体装置を製造する薄膜半導体装置の製造方法において、上記多結晶シリコン膜をパターンニングする工程において、アライメントマークを形成することを特徴とする薄膜半導体装置の製造方法。

【請求項 5】 請求項 3 または 4 に記載の薄膜半導体装置の製造方法において、上記多結晶シリコン膜の表面の異常領域を計測する工程を含むと共に、上記基板に対してフォトマスクを位置決めする工程において、上記多結晶シリコン膜の上記異常領域が上記単位

回路の上記半導体素子の能動層が形成される領域にならないようにすることを特徴とする薄膜半導体装置の製造方法。

【請求項 6】 請求項 1 または 2 に記載の薄膜半導体装置を製造する薄膜半導体装置の製造方法において、断面矩形状のレーザービームのビーム幅、走査方向のピッチ、ビーム出力または走査方向のうちの少なくとも1つを変えて、上記各単位回路に属する全ての上記半導体素子の能動層が上記多結晶シリコン膜の表面の凹凸の大きさによって分けられた複数の領域のうちの1つのみに形成されるように、レーザーアニールを行う工程を含むことを特徴とする薄膜半導体装置の製造方法。

【請求項 7】 請求項 3 または 4 に記載の薄膜半導体装置の製造方法において用いられる露光装置であって、上記多結晶シリコン膜の表面の凹凸の大きさの状態を計測する工程において、レーザーアニールによって基板上に形成された多結晶シリコン膜の表面の凹凸の大きさの状態を計測する凹凸計測部と、上記基板に対してフォトマスクを位置決めする工程において、上記凹凸計測部により計測された上記多結晶シリコン膜の表面の凹凸の大きさの状態の情報とフォトマスクに描かれたパターンの回路構成の情報とに基づいて、上記基板に対して上記フォトマスクを位置決めするフォトマスク位置決め部とを備えたことを特徴とする露光装置。

【請求項 8】 請求項 5 に記載の薄膜半導体装置の製造方法において用いられる検査装置であって、上記多結晶シリコン膜の表面の異常領域を計測する工程において、上記多結晶シリコン膜の表面の異常領域を計測する異常領域計測部と、上記異常領域計測部の計測結果に基づいて、上記多結晶シリコン膜の異常領域の位置座標を算出する位置座標算出部と、上記位置座標算出部により算出された上記異常領域の位置座標を記憶する位置座標記憶部とを有することを特徴とする検査装置。

【請求項 9】 請求項 6 に記載の薄膜半導体装置の製造方法のレーザーアニールを行う工程に用いられるレーザーアニール装置であって、レーザービームを出射するレーザー光源と、上記レーザー光源からのレーザービームの断面形状を矩形状にすると共に、そのレーザービームのビーム幅を調整可能な光学系と、上記レーザービームを走査方向のピッチを調整可能に走査するレーザービーム走査部と、上記レーザー光源からの上記レーザービームのビーム出力を制御するビーム出力制御部と、上記レーザービームの走査方向を走査平面に沿って略 90 deg 毎に回転させるか、または所定角度回転させる走

査方向制御部と、

上記各単位回路に属する全ての上記半導体素子の能動層が上記多結晶シリコン膜の表面の凹凸の大きさによって分けられた複数の領域のうちの1つのみに形成されるように、上記光学系、上記レーザービーム走査部、上記ビーム出力制御部および上記走査方向制御部の各動作を制御する制御部とを備えたことを特徴とするレーザーアニール装置。

【請求項10】 レーザーアニールによって基板上に形成された多結晶シリコン膜の表面の凹凸の大きさの状態を計測する凹凸計測部と、

上記凹凸計測部により計測された上記多結晶シリコン膜の表面の凹凸の大きさによって分けられた複数の領域の情報とフォトマスクに描かれたパターンの回路構成の情報とに基づいて、上記基板に対して上記フォトマスクを位置決めするフォトマスク位置決め部とを備えたことを特徴とする露光装置。

【請求項11】 レーザーアニールによって基板上に形成された多結晶シリコン膜の表面の異常領域を計測する異常領域計測部と、

上記異常領域計測部の計測結果に基づいて、上記多結晶シリコン膜の異常領域の位置座標を算出する位置座標算出部と、

上記位置座標算出部により算出された上記異常領域の位置座標を記憶する位置座標記憶部とを有することを特徴とする検査装置。

【請求項12】 レーザービームを出射するレーザー光源と、

上記レーザー光源からのレーザービームの断面形状を矩形にすると共に、そのレーザービームのビーム幅を調整可能な光学系と、

上記レーザービームを走査方向のピッチを調整可能に走査するレーザービーム走査部と、

上記レーザー光源からの上記レーザービームのビーム出力を制御するビーム出力制御部と、

上記レーザービームの走査方向を走査平面に沿って略90deg毎に回転させるか、または所定角度回転させる走査方向制御部と、

各単位回路に属する全ての半導体素子の能動層が多結晶シリコン膜の表面の凹凸の大きさによって分けられた複数の領域のうちの1つのみに形成されるように、上記光学系、上記レーザービーム走査部、上記ビーム出力制御部および上記走査方向制御部の各動作を制御する制御部とを備えたことを特徴とするレーザーアニール装置。

【請求項13】 請求項1に記載の薄膜半導体装置を用いたアクティブマトリクス型液晶表示装置であって、走査線駆動回路、データ線駆動回路および画素電極用スイッチング回路を備えたことを特徴とするアクティブマトリクス型液晶表示装置。

【請求項14】 請求項13に記載のアクティブマトリ

クス型液晶表示装置において、

上記走査線駆動回路と上記画素電極用スイッチング回路との間隔と上記データ線駆動回路と上記画素電極用スイッチング回路との間隔が少なくとも100 $\mu$ m以上になるように、上記走査線駆動回路、上記データ線駆動回路および上記画素電極用スイッチング回路を夫々配置したことを特徴とするアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、断面矩形状のレーザービームをスキャンするレーザーアニール法を用いて製造される薄膜半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】 近年、多結晶シリコン薄膜トランジスタ等で構成される薄膜半導体装置を用いた液晶表示装置は、走査線駆動回路やデータ線駆動回路を画素駆動用トランジスタと共にガラス基板上に一体形成できることから、液晶表示装置の小型化、高精細化、および低コスト化の有力技術として、技術開発および商品化が進んでいる。

【0003】 特に、ガラス基板上に多結晶シリコン膜を形成するための一手段であるレーザーアニール法は、スポット状または矩形状のレーザービームをスキャンすることによって大面積の多結晶シリコン膜を形成できるため、量産用技術として注目されている。

【0004】 図11はレーザーアニール法による多結晶シリコン薄膜トランジスタの製造方法を示している。

【0005】 まず、図11(a)において、ガラス基板100(300mm $\sim$ 1000mm角程度)上に酸化シリコン膜等の保護膜101を形成した後、保護膜101上にアモルファスシリコン膜102を形成する。

【0006】 次に、図11(b)に示すように、アモルファスシリコン膜102にレーザー光源120からのレーザービーム121を照射して、アモルファスシリコン膜102をアニールすることによって、アモルファスシリコン膜102を結晶化し、多結晶シリコン膜103を形成する。なお、レーザービーム121は、連続発振型アルゴンイオンレーザーの場合、ビーム形状は約100 $\mu$ m径のスポット状であり、ビームエクスパンドのような光学系を有するパルス発振型エキシマレーザーの場合、ビーム形状は短辺側0.1 $\sim$ 数mm、長辺側100 $\sim$ 数百mm程度の矩形状である。上記レーザービーム121を走査することによって、ガラス基板100上の広範囲に渡って多結晶シリコン膜103を得る。

【0007】 次に、図11(c)に示すように、多結晶シリコン膜103をフォトリソグラフィ法によりパターンニングして、島状のシリコン層104を形成する。

【0008】 次に、図11(d)に示すように、上記保護

膜101、シリコン層104上に酸化シリコン膜105を成膜し、ゲート絶縁膜とする。

【0009】その後、図11(e)に示すように、ゲート電極106、高濃度の不純物を含むソース領域107およびドレイン領域108、層間絶縁膜109、ソース電極110とドレイン電極111を形成する。上記ゲート電極106、ソース領域107、ドレイン領域108、ソース電極110およびドレイン電極111で薄膜トランジスタを構成している。

【0010】また、図12は上記薄膜トランジスタを用いた回路一体型の液晶表示装置を示している。図12において、基盤の目状に配列された複数の画素電極201をスイッチングトランジスタ202に夫々接続し、上記スイッチングトランジスタ202を走査線203の信号により順次オン／オフ制御して、スイッチングトランジスタ202のオン時にデータ線204に入力された画像データを画素電極201に書き込む。上記データ線204を駆動するデータ線駆動回路は、増幅回路205と、アナログスイッチ回路206と、そのアナログスイッチ回路206をオン／オフ制御するロジック回路207とで構成されている。また、走査線を駆動する走査線駆動回路は、走査線203を順次選択するための選択パルス発生回路208である。

【0011】図12で示したスイッチングトランジスタ202が接続された画素電極201が縦横に配列されたガラス基板と、対向する透明電極が形成されたもう一つのガラス基板(図示せず)とを、両方のガラス基板の内側表面に配向処理を施した上で、数 $\mu\text{m}$ の間隙をあけて貼り合せ、この間隙に液晶材料を注入して、液晶表示装置を得る。

【0012】上述のレーザーアニールにより形成された多結晶シリコン膜をトランジスタに用いた駆動回路一体型のアクティブマトリクス型液晶表示装置は、そのトランジスタの配置構成と製造方法について特開平7-92501号公報に開示されている。

【0013】この特開平7-92501号公報に記載されている発明の要旨は、レーザーアニールに要する時間短縮のために、前述の走査線駆動回路およびデータ線駆動回路のトランジスタを直線状に配置することである。さらに、画素電極用トランジスタを、走査線駆動回路またはデータ線駆動回路中のトランジスタの延長線上に配置することにより、これらのトランジスタの能動層となる多結晶シリコン膜を形成するレーザーアニールを同時に行うことができる。また、レーザービームのスキャンピッチを $P_t$ としたとき、スキャンピッチ $P_t$ とレーザーアニール走査によって得られた帯状の多結晶シリコン膜のストライプ幅との関係は、 $P_t > (\text{ストライプ幅} \times 2)$ としている。

【0014】

【発明が解決しようとする課題】ところが、上述の特開

平7-92501号公報に記載されているスキャンピッチ $P_t > (\text{ストライプ幅} \times 2)$ の条件を満たすことは、断面矩形形状のレーザービームをスキャンする場合、重ね打ちによる結晶粒径(グレイン)中の欠陥密度を減少させる効果とレーザービームのショット毎の強度のばらつきに起因する結晶状態の分布のばらつきを減少させる効果とが得られず、トランジスタ特性を損なうという問題がある。また、特開平7-92501号公報には、矩形形状の多結晶ストライプ幅とトランジスタの多結晶シリコン層の具体的な位置合わせ手法については述べられておらず、トランジスタの多結晶シリコン層を矩形形状の多結晶シリコン膜のストライプ幅に収めることは極めて困難である。

【0015】また、上述した2種類のレーザーアニール法、すなわち、連続発振型アルゴンイオンレーザーのようなスポット状のビーム形状を用いる方法と、パルス発振型エキシマレーザーのような矩形形状のビーム形状を用いる方法とを比較すると、前者の方法はスポット状のレーザービームを走査するための光学系が複雑になり、数百 $\text{mm}$ 角のガラス基板上で均一にアニールすることが困難であることから、後者の矩形形状のビーム形状を有するパルス発振型エキシマレーザーを用いる方法が、量産技術的には有利である。

【0016】したがって、一般には、後者の断面矩形形状のレーザービームを走査するレーザーアニール方式が採用されている。この矩形形状のビーム幅は数百 $\mu\text{m}$ ～数 $\text{mm}$ 、スキャンピッチは数十 $\mu\text{m}$ ～数百 $\mu\text{m}$ 程度であり、スキャン時にショット(照射)領域の重なりを持つようにしている。その理由は、一つのシリコン領域に対し、多数回の重ね打ちを行うことにより、結晶粒径中の欠陥密度を減少させる効果と、レーザービームのショット毎の強度のばらつきに起因する結晶状態の分布のばらつきを減少させる効果が有るからである。

【0017】しかしながら、上述の断面矩形形状のレーザービームを重ね打ちしながらスキャンする方法を用いて、多結晶シリコン薄膜トランジスタをガラス基板上に多数形成する場合にも、トランジスタ特性のばらつきが生じる。この主な原因は、多結晶シリコン膜の欠陥密度および結晶粒径の不均一性にあり、レーザーアニール時の加熱溶融および冷却過程の差異が多結晶シリコン膜の欠陥密度および結晶粒径に影響している。さらに、その根本原因は、レーザービームのビーム形状やビーム出力、または走査時のビーム軌跡の分布等のばらつきによると推定される。

【0018】上述の断面矩形形状のレーザービームを重ね打ちしながらスキャンするレーザーアニール方法において、多結晶シリコン膜の不均一性が生じるメカニズムについて、図13、図14のモデルを参照しながら説明する。図13は、ビーム幅方向の距離とレーザーパワーとの関係を示したものであり、図中レーザービームの両側

では、レーザーパワーが外側に向かって徐々に減少する傾斜を持っている。この傾斜領域では、シリコンを熔融させるのに必要なエネルギーとなる臨界パワーが存在し、結晶化にはこの臨界パワー以上の領域が有効となる。今、この傾斜を持った有効領域をA1、A2とし、中央のレーザーパワーの比較的安定した領域をBとして、図14のように、レーザービーム211をアモルファスシリコン膜210上にスキャンピッチCで重ね打ちスキャンする場合を考える。この場合、アニールされて生じた多結晶シリコン膜には、最初にレーザービームのA2領域が照射されてできた $\alpha$ 領域と、レーザービームのB領域が照射されてできた $\beta$ 領域が生じる。一般にレーザーパワーが高いほど、生じる多結晶シリコンの結晶粒径は大きくなるから、 $\alpha$ 領域の結晶粒径は $\beta$ 領域に比べて小さくなる。これらの最初に形成された多結晶シリコン膜は、この後、レーザービームの重ね打ちにより再度アニールしても、レーザービームの吸収効率がアモルファス状態に比べ多結晶シリコン状態の方が小さくなるため、実効レーザーパワーは小さくなり、結晶粒径の大幅な変動は起こさず、 $\alpha$ 領域と $\beta$ 領域との間の結晶粒径の大小関係は変わらない。

【0019】このように、断面矩形状のレーザービームを重ね打ちしながらスキャンするレーザーアニール方法によって形成された多結晶シリコン膜には、結晶粒径の異なる領域が分布することになる。しかもこれらの領域は、レーザーアニール装置の機械的変動、すなわちレーザーパワーのショット毎の揺らぎ、または図13に示したビーム断面形状のショット毎の変動、またはスキャンピッチの揺らぎにより、変化する。このため、上記レーザーアニールによって形成された多結晶シリコン膜を能動層として用いた半導体素子の特性がばらつくという問題がある。

【0020】そこで、この発明の目的は、レーザーアニールによって形成された多結晶シリコン膜を能動層として用いた半導体素子の特性を均一にできる薄膜半導体装置およびその製造方法を提供することにある。

【0021】また、この発明のもう1つの目的は、上記薄膜半導体装置を用いた液晶表示装置を提供することにある。

【0022】

【課題を解決するための手段】上記目的を達成するため、請求項1の薄膜半導体装置は、基板上のアモルファスシリコン膜を断面矩形状のレーザービームでスキャンするレーザーアニールによって上記基板上に形成された多結晶シリコン膜を能動層として用いた半導体素子が含まれる単位回路が配列された薄膜半導体装置において、上記多結晶シリコン膜の表面の凹凸の大きさによって分けられる複数の領域を有し、上記各単位回路に属する全ての上記半導体素子の能動層は、2つ以上の上記領域に形成されることがなく、1つの上記領域に形成されてい

ることを特徴としている。

【0023】上記請求項1の薄膜半導体装置によれば、断面矩形状のレーザービームをスキャンするレーザーアニールを施した多結晶シリコン膜では、レーザーパワーが小さいために結晶粒径が小さくなった $\alpha$ 領域とレーザーパワーが大きいために結晶粒径が大きくなった $\beta$ 領域とが存在し、各領域で平均結晶粒径が異なるため、多結晶シリコン膜の表面の凹凸の大きさに差異が生じる。この多結晶シリコン膜表面の凹凸の大きさによって分けられた複数の領域に基づいて、上記各単位回路に属する全ての半導体素子の能動層すなわちシリコン領域を決定して、多結晶シリコン膜の1つの上記領域のみに上記半導体素子の能動層を形成する。したがって、同じ機能を有する上記単位回路の半導体素子を同じ結晶性を有する多結晶シリコン膜の領域に形成することによって、上記単位回路の半導体素子の特性を均一にできる。

【0024】また、請求項2の薄膜半導体装置は、請求項1の薄膜半導体装置において、上記単位回路は、液晶表示装置のデジタル信号を扱うロジック回路、アナログ信号をサンプリングするサンプリング回路、増幅回路、走査線駆動回路、データ線駆動回路および画素電極用スイッチング回路のうちの少なくとも1つであることを特徴としている。

【0025】上記請求項2の薄膜半導体装置によれば、半導体素子の特性のばらつきを少なくした上記単位回路を上記液晶表示装置の走査線駆動回路、データ線駆動回路または画素電極用スイッチング回路のうちの少なくとも1つを用いることによって、表示特性の均一な液晶表示装置ができる。

【0026】また、請求項3の薄膜半導体装置の製造方法は、請求項1または2の薄膜半導体装置を製造する薄膜半導体装置の製造方法において、レーザーアニールによって基板上に形成された多結晶シリコン膜の表面の凹凸の大きさの状態を計測する工程と、上記多結晶シリコン膜上にフォトレジストを塗布する工程と、計測された上記多結晶シリコン膜の表面の凹凸の大きさの状態に基づいて、上記各単位回路に属する全ての上記半導体素子の能動層が上記多結晶シリコン膜の表面の凹凸の大きさによって分けられた複数の領域のうちの1つのみに形成されるように、上記基板に対してフォトリソを位置決めする工程と、上記基板に対してフォトリソを位置決めした後に、上記フォトリソを用いて上記フォトレジストに露光する工程と、上記フォトレジストを露光した後のレジストパターンに基づいて、エッチングにより上記多結晶シリコン膜をパターニングする工程とを含むことを特徴としている。

【0027】上記請求項3の薄膜半導体装置の製造方法によれば、レーザーアニールによって基板上に形成された多結晶シリコン膜上にフォトレジストを塗布する前の工程または後の工程で、上記多結晶シリコン膜の表面の

凹凸の大きさの状態を計測し、計測された多結晶シリコン膜の表面の凹凸の大きさによって分けられた複数の領域に基づいて、上記各単位回路に属する全ての半導体素子の能動層が多結晶シリコン膜の表面の凹凸の大きさによって分けられた複数の領域のうちの1つのみに形成されるように、上記基板に対してフォトマスクを位置決めする。したがって、その後のフォトレジストの露光とエッチングによるパターンニングによって、同じ機能を有する上記単位回路の半導体素子と同じ結晶性を有する多結晶シリコン膜の領域に形成でき、半導体素子の特性を均一にできる。

【0028】また、請求項4の薄膜半導体装置の製造方法は、請求項3の薄膜半導体装置を製造する薄膜半導体装置の製造方法において、上記多結晶シリコン膜をパターンニングする工程において、アライメントマークを形成することを特徴としている。

【0029】上記請求項4の薄膜半導体装置の製造方法によれば、上記アライメントマークを、後工程で露光する場合に用いることによって、フォトマスクの位置合わせが容易にできる。

【0030】また、請求項5の薄膜半導体装置の製造方法は、請求項3または4の薄膜半導体装置の製造方法において、上記多結晶シリコン膜の表面の異常領域を計測する工程を含むと共に、上記基板に対してフォトマスクを位置決めする工程において、上記多結晶シリコン膜の上記異常領域が上記単位回路の上記半導体素子の能動層が形成される領域にならないようにすることを特徴としている。

【0031】上記請求項5の薄膜半導体装置の製造方法によれば、基板上にアモルファスシリコン膜を形成する工程でアモルファスシリコン膜が一部欠損して異常領域が生じたり、レーザーアニール工程で異常領域が生じた場合、その異常領域を計測した計測結果に基づいて、多結晶シリコン膜の異常領域に上記単位回路の半導体素子の能動層が形成されないように、フォトマスクの位置決めを行う。したがって、上記単位回路の半導体素子の欠陥を低減でき、この薄膜半導体装置の歩留まりが向上して、コストを低減できると共に、信頼性が向上する。

【0032】また、請求項6の薄膜半導体装置の製造方法は、請求項1または2の薄膜半導体装置を製造する薄膜半導体装置の製造方法において、断面矩形状のレーザービームのビーム幅、走査方向のピッチ、ビーム出力または走査方向のうちの少なくとも1つを変えて、上記各単位回路に属する全ての上記半導体素子の能動層が上記多結晶シリコン膜の表面の凹凸の大きさによって分けられた複数の領域のうちの1つのみに形成されるように、レーザーアニールを行う工程を含むことを特徴としている。

【0033】上記請求項6の薄膜半導体装置の製造方法

によれば、薄膜半導体装置の単位回路の配置パターンに応じて、上記各単位回路に属する全ての半導体素子の能動層が1つの上記領域のみに形成されるように、レーザーアニールにより多結晶シリコン膜を予め形成する。したがって、本来単位回路を配置したい多結晶シリコン膜の領域の表面の凹凸の大きさを略等しくでき、単位回路の配置パターンの自由度が広がる。また、レーザーアニール時のビーム幅または走査方向のピッチを調節することにより、半導体素子の能動層に用いるシリコン領域すなわち結晶粒径の大きな $\beta$ 領域の面積を広げることができる。

【0034】また、請求項7の露光装置は、請求項3または4の薄膜半導体装置の製造方法において用いられる露光装置であって、上記多結晶シリコン膜の表面の凹凸の大きさの状態を計測する工程において、レーザーアニールによって基板上に形成された多結晶シリコン膜の表面の凹凸の大きさの状態を計測する凹凸計測部と、上記基板に対してフォトマスクを位置決めする工程において、上記凹凸計測部により計測された上記多結晶シリコン膜の表面の凹凸の大きさの状態の情報とフォトマスクに描かれたパターンの回路構成の情報とに基づいて、上記基板に対して上記フォトマスクを位置決めするフォトマスク位置決め部とを備えたことを特徴としている。

【0035】上記請求項7の露光装置によれば、レーザーアニールによって基板上に形成された多結晶シリコン膜上にフォトレジストを塗布する前の工程または後の工程で、凹凸計測部により上記多結晶シリコン膜の表面の凹凸の大きさの状態を計測し、その計測された多結晶シリコン膜の表面の凹凸の大きさによって分けられた複数の領域に基づいて、フォトマスク位置決め部により上記各単位回路に属する全ての半導体素子の能動層が多結晶シリコン膜の表面の凹凸の大きさによって分けられた複数の領域のうちの1つのみに形成されるように、上記基板に対してフォトマスクを位置決めする。したがって、その後のフォトレジストの露光とエッチングによるパターンニングによって、同じ機能を有する上記単位回路の半導体素子と同じ結晶性を有する多結晶シリコン膜の領域に形成でき、半導体素子の特性を均一にできる。

【0036】また、請求項8の検査装置は、請求項5の薄膜半導体装置の製造方法において用いられる検査装置であって、上記多結晶シリコン膜の表面の異常領域を計測する工程において、上記多結晶シリコン膜の表面の異常領域を計測する異常領域計測部と、上記異常領域計測部の計測結果に基づいて、上記多結晶シリコン膜の異常領域の位置座標を算出する位置座標算出部と、上記位置座標算出部により算出された上記異常領域の位置座標を記憶する位置座標記憶部とを有することを特徴としている。

【0037】上記請求項8の検査装置によれば、上記異常領域計測部により異常領域が計測された場合、例えば



ビーム断面形状の大幅な変動により生じた極端に結晶粒径の小さな $\alpha$ 領域や、下地のアモルファス膜の一部膜剥がれによる膜欠損の異常領域が計測された場合、その異常領域を計測した計測結果に基づいて、位置座標算出部により算出された異常領域の位置座標を位置座標記憶部に記憶する。そうして、上記位置座標記憶部に記憶された異常領域の位置座標を用いて、多結晶シリコン膜の異常領域に上記単位回路の半導体素子の能動層が形成されないように、フォトマスクの位置決めを行う。したがって、上記単位回路の半導体素子の欠陥を低減でき、この薄膜半導体装置の歩留まりが向上して、コストを低減できると共に、信頼性が向上する。

【0038】また、請求項9のレーザーアニール装置は、請求項6に記載の薄膜半導体装置の製造方法のレーザーアニールを行う工程に用いられるレーザーアニール装置であって、レーザービームを出射するレーザー光源と、上記レーザー光源からのレーザービームの断面形状を矩形にすると共に、そのレーザービームのビーム幅を調整可能な光学系と、上記レーザービームを走査方向のピッチを調整可能に走査するレーザービーム走査部と、上記レーザー光源からの上記レーザービームのビーム出力を制御するビーム出力制御部と、上記レーザービームの走査方向を走査平面に沿って略90deg毎に回転させるか、または所定角度回転させる走査方向制御部と、上記各単位回路に属する全ての上記半導体素子の能動層が上記多結晶シリコン膜の表面の凹凸の大きさによって分けられた複数の領域のうちの1つのみに形成されるように、上記光学系、上記レーザービーム走査部、上記ビーム出力制御部および上記走査方向制御部の各動作を制御する制御部とを備えたことを特徴としている。

【0039】上記請求項9のレーザーアニール装置によれば、薄膜半導体装置の単位回路の配置パターンに応じて、上記制御部は、上記光学系によりビーム幅を変えるか、または上記レーザービーム走査部により走査方向のピッチを変えさせて、多結晶シリコン膜の結晶粒径が大きい $\beta$ 領域の幅を変え、また、上記ビーム出力制御部によりレーザービームの出力を変えさせて、 $\alpha$ 領域と $\beta$ 領域の幅を夫々変え、さらに、上記走査方向制御部によりレーザービームの走査方向を走査平面に沿って略90deg毎に回転させるか、または所定角度に回転させて、 $\alpha$ 領域、 $\beta$ 領域のストライプ模様が所望の方向に形成されるようにする。そうして、上記単位回路の半導体素子の能動層が配置される領域に、表面の凹凸の大きさが略等しい多結晶シリコン膜を予め形成する。したがって、本来単位回路の半導体素子の能動層を配置したい多結晶シリコン膜の領域の表面の凹凸の大きさを略等しくでき、単位回路の配置パターンの自由度が広がる。また、レーザーアニール時のビーム幅または走査方向のピッチを調節することにより、半導体素子の能動層に用いるシリコン領域すなわち結晶粒径の大きい $\beta$ 領域の面積を広げる

ことができる。

【0040】また、請求項10の露光装置は、レーザーアニールによって基板上に形成された多結晶シリコン膜の表面の凹凸の大きさの状態を計測する凹凸計測部と、上記凹凸計測部により計測された上記多結晶シリコン膜の表面の凹凸の大きさによって分けられた複数の領域の情報とフォトマスクに描かれたパターンの回路構成の情報とに基づいて、上記基板に対して上記フォトマスクを位置決めするフォトマスク位置決め部とを備えたことを特徴としている。

【0041】上記請求項10の露光装置によれば、レーザーアニールによって基板上に形成された多結晶シリコン膜上にフォトレジストを塗布する前の工程または後の工程で、凹凸計測部により上記多結晶シリコン膜の表面の凹凸の大きさの状態を計測し、その計測された多結晶シリコン膜の表面の凹凸の大きさによって分けられた複数の領域に基づいて、フォトマスク位置決め部により上記各単位回路に属する全ての半導体素子の能動層が多結晶シリコン膜の表面の凹凸の大きさによって分けられた複数の領域のうちの1つのみに形成されるように、上記基板に対してフォトマスクを位置決めする。したがって、その後のフォトレジストの露光とエッチングによるパターンニングによって、同じ機能を有する上記単位回路の半導体素子を同じ結晶性を有する多結晶シリコン膜の領域に形成でき、半導体素子の特性を均一にできる。

【0042】また、請求項11の検査装置は、レーザーアニールによって基板上に形成された多結晶シリコン膜の表面の異常領域を計測する異常領域計測部と、上記異常領域計測部の計測結果に基づいて、上記多結晶シリコン膜の異常領域の位置座標を算出する位置座標算出部と、上記位置座標算出部により算出された上記異常領域の位置座標を記憶する位置座標記憶部とを有することを特徴としている。

【0043】上記請求項11の検査装置によれば、上記異常領域計測部により異常領域が計測された場合、例えばビーム断面形状の大幅な変動により生じた極端に結晶粒径の小さな $\alpha$ 領域や、下地のアモルファス膜の一部膜剥がれによる膜欠損が異常領域が計測された場合、その異常領域を計測した計測結果に基づいて、位置座標算出部により算出された異常領域の位置座標を位置座標記憶部に記憶する。そうして、上記位置座標記憶部に記憶された異常領域の位置座標を用いて、多結晶シリコン膜の異常領域に上記単位回路の半導体素子の能動層が形成されないように、フォトマスクの位置決めを行う。したがって、上記単位回路の半導体素子の欠陥を低減でき、薄膜半導体素子の歩留まりが向上して、コストを低減できると共に、信頼性が向上する。

【0044】また、請求項12のレーザーアニール装置は、レーザービームを出射するレーザー光源と、上記レーザー光源からのレーザービームの断面形状を矩形にす



ると共に、そのレーザービームのビーム幅を調整可能な光学系と、上記レーザービームを走査方向のピッチを調整可能に走査するレーザービーム走査部と、上記レーザー光源からの上記レーザービームのビーム出力を制御するビーム出力制御部と、上記レーザービームの走査方向を走査平面に沿って略90deg毎に回転させるか、または所定角度回転させる走査方向制御部と、各単位回路に属する全ての半導体素子の能動層が多結晶シリコン膜の表面の凹凸の大きさによって分けられた複数の領域のうちの1つのみに形成されるように、上記光学系、上記レーザービーム走査部、上記ビーム出力制御部および上記走査方向制御部の各動作を制御する制御部とを備えたことを特徴としている。

【0045】上記請求項12のレーザーアニール装置によれば、薄膜半導体装置の単位回路の配置パターンに応じて、上記制御部は、上記光学系によりビーム幅を変え、または上記レーザービーム走査部により走査方向のピッチを変えさせて、多結晶シリコン膜の結晶粒径が大きいβ領域の幅を変え、また、上記ビーム出力制御部によりレーザービームの出力を変えさせて、α領域とβ領域の幅を夫々変え、さらに、上記走査方向制御部によりレーザービームの走査方向を走査平面に沿って略90deg毎に回転させるか、または所定角度に回転させて、α領域、β領域のストライプ模様が所望の方向に形成されるようにする。そうして、上記単位回路の半導体素子の能動層が配置される領域に、表面の凹凸の大きさが略等しい多結晶シリコン膜を予め形成する。したがって、本来単位回路の半導体素子の能動層を配置したい多結晶シリコン膜の領域の表面の凹凸の大きさを略等しくでき、単位回路の配置パターンの自由度が広がる。また、レーザーアニール時のビーム幅または走査方向のピッチを調節することにより、半導体素子の能動層に用いるシリコン領域すなわち結晶粒径の大きいβ領域の面積を広げることができる。

【0046】また、請求項13のアクティブマトリクス型液晶表示装置は、請求項1の薄膜半導体装置を用いたアクティブマトリクス型液晶表示装置であって、走査線駆動回路、データ線駆動回路および画素電極用スイッチング回路を備えたことを特徴としている。

【0047】上記請求項13の薄膜半導体装置によれば、この薄膜半導体装置を適用した駆動回路一体型のアクティブマトリクス型液晶表示装置の表示特性を均一にできるため、走査線駆動回路、データ線駆動回路、画素電極用スイッチング回路の出力変動に起因する液晶表示装置の画像品位劣化を大幅に低減することができ、表示品位を格段に向上できる。

【0048】また、請求項14のアクティブマトリクス型液晶表示装置は、請求項13のアクティブマトリクス型液晶表示装置において、上記走査線駆動回路と上記画素電極用スイッチング回路との間隔と上記データ線駆動

回路と上記画素電極用スイッチング回路との間隔が少なくとも100μm以上になるように、上記走査線駆動回路、上記データ線駆動回路および上記画素電極用スイッチング回路を夫々配置したことを特徴としている。

【0049】上記請求項14の薄膜半導体装置によれば、予め異なった機能を有する単位回路間の間隔を広げて配置することによって、α領域が半導体素子のシリコン領域に掛かる確率を減らすことができる。

【0050】

【発明の実施の形態】以下、この発明の薄膜半導体装置およびその製造方法を図示の実施の形態により詳細に説明する。

【0051】（第1実施形態）この発明の第1実施形態の薄膜半導体装置を用いた駆動回路一体型のアクティブマトリクス型液晶表示装置の製造工程を以下に説明する。

【0052】まず、約400mm角のガラス基板の上に保護層として厚さ500nmの酸化シリコン膜を全面に形成し、その酸化シリコン膜上に厚さ50nmのアモルファスシリコン膜をプラズマCVD(ケミカル・ベイパー・デポジション)法により全面に成膜する。その後、上記ガラス基板を熱アニール炉に入れて、アモルファスシリコン膜中の水素出し処理を行う。

【0053】その後、矩形形状のビーム形状を有するレーザーアニール装置により上記ガラス基板上的のアモルファスシリコン膜をアニールして、多結晶シリコン膜を形成する。

【0054】上記レーザーアニール装置のレーザー光源はXeClエキシマレーザーであり、その矩形形状ビームの大きさは、長辺約100mm、短辺約1mmとしている。また、上記レーザーアニール装置のレーザービームのスキューンは、1mmの短辺に沿う方向を移動方向として1ステップ当たり0.20mmの移動量として、レーザービームのショット(照射)回数は場所当たり5回の重ね打ちとなる。上記レーザービームの形状は、図13と同様の表記法で表すと、結晶粒径の小さなA1、A2領域(以下、α領域という)の幅0.05mm、結晶粒径の大きいB領域(以下、β領域という)の幅0.90mmとなる。このα領域の幅およびβ領域の幅は、レーザーの状態変動またはスキューンの送り誤差により増減し、そのα領域、β領域の幅の変動誤差は±10%である。また、上記レーザービームの断面の短辺方向すなわちスキューンの移動方向をX方向とし、X方向と直交する矩形ビームの長辺方向をY方向と規定している。

【0055】図1に示すように、アモルファスシリコン膜が形成されたガラス基板40のコーナー部から断面矩形形状のレーザービーム43をX方向(図1では下方)に1回目のスキューンを行った後、Y方向に移動して、X方向でかつ1回目のスキューンと逆方向に2回目のスキューンを行い、同様に3回目、4回目のスキューンを行って、

ガラス基板40全面をアニールして、多結晶シリコン膜41を形成する。このとき、隣接するスキャン領域の境界部は、互いに重なり合った重なり領域42(幅約0.10mm)を形成している。この重なり領域42は、前述の $\alpha$ 領域に類似し、かつ、 $\beta$ 領域とは異なる結晶性を有する。

【0056】図2は図1の多結晶シリコン膜41が形成されたガラス基板40の上記重なり領域42を含まない一部の拡大平面図を示している。図2に示すように、レーザーアニールによって形成された多結晶シリコン膜41は、結晶粒径の異なる $\alpha$ 領域20Aと $\beta$ 領域20BによってY方向に平行なストライプ模様をしている。

【0057】そして、上記ガラス基板40の多結晶シリコン膜41上にフォトリジストを塗布して焼成した後、図3に示すステップアンドリピート方式の露光装置に入れる。

【0058】この露光装置は、図3に示すように、上記ガラス基板40を搭載するステージ51と、上記ステージ51を制御するステージ制御部52と、フォトマスク53と、露光ランプ54とを備えている。また、上記露光装置は、上記ステージ51上のガラス基板40の表面を観察する顕微鏡55と、その顕微鏡55に取り付けられたCCD(チャージ・カップルド・デバイス)カメラ56と、CCDカメラ56からの画像データ信号を受けて、その画像データを処理して記憶する画像データ処理部57とを備えている。上記画像データ処理部57からの制御信号に基づいて、ステージ制御部52は、ステージ51を制御する。上記顕微鏡55とCCDカメラ56で凹凸計測部を構成すると共に、ステージ51とステージ制御部52でレーザービーム走査部を構成している。

【0059】上記構成の露光装置のCCDカメラ56付き顕微鏡55を用いて、照明光が直接対物レンズに入らずに被観察物体の散乱光のみにより観察する暗視野法により、観察倍率100倍で多結晶シリコン膜41(図1に示す)の表面の観察を行って、一視野毎に画像データをデータ処理部57に記録する。そうして、データ処理部57で画像データを処理し、ガラス基板40全体の画像イメージを得る。この画像イメージに基づいて、データ処理部57の位置座標算出部57aによって、散乱度が大きく結晶粒径が小さい $\alpha$ 領域20A(図2に示す)と結晶粒径が大きい $\beta$ 領域20B(図2に示す)との位置座標を算出する。上記位置座標算出部57aによって算出された位置座標を位置座標記憶部57bに記憶する。

【0060】そうして、上記位置座標記憶部57bに記憶された $\alpha$ 、 $\beta$ 領域20A、20Bの位置座標に基づいて、フォトマスク位置決め部57cによりステージ制御部52を制御して、多結晶シリコンアイランドパターンのフォトマスク53(有効露光領域は100mm角)をガラス基板41に対して位置合わせを行う。この場合、 $\alpha$ 領域はX方向に略0.20mm毎に略0.05mmの幅で出現す

ると共に、結晶性が変化するスキャンの重なり領域42(図1に示す)が、Y方向に略100mm毎に略0.10mmの幅で出現すると予想される。そこで、予め、上記フォトマスク53上で、同一機能を有する単位回路のトランジスタのシリコンアイランドパターンを最大0.14mm×最大100mmのブロック内に配置し、このブロック間の距離を最小0.06mm設けるようにレイアウトする。

【0061】上記ブロックの短辺の長さL1の最大値0.14mmおよびブロック間の距離L2の最大値0.06mmは、前述の $\alpha$ 領域の幅LA1とスキャン1ステップ当たりの移動量X1およびその $\alpha$ 領域の幅LA1と移動量X1の変動誤差 $\delta$ %に基づいて、次式により算出する。

【0062】

$$L1 = (X1 - LA1) \times (100 - \delta) / 100 \\ \approx 0.14$$

$$L2 = LA1 \times (100 + \delta) / 100 \approx 0.06$$

ただし、 $X1 = 0.2\text{mm}$ 、 $LA1 = 0.05\text{mm}$ 、 $\delta = 10\%$ とする。

【0063】図4は上記フォトマスク53の一部の平面図を示しており、31、32はデータ線駆動回路に用いるトランジスタのシリコンアイランドパターンであり、33はサンプリング回路に用いるトランジスタのシリコンアイランドパターン、34、35はロジック回路に用いるトランジスタのシリコンアイランドパターンである。また、36は走査線駆動回路に用いるトランジスタのシリコンアイランドパターン、37は増幅回路に用いるトランジスタのシリコンアイランドパターン、38は画素電極用スイッチング回路であるトランジスタのシリコンアイランドパターンである。また、 $X31 \sim X36$ は、各回路のX方向の大きさを表しており、いずれも上述の大きさ制限範囲(最大0.14mm×最大100mm)内に有る。

【0064】上記データ処理部57の位置座標記憶部57bに記憶された $\alpha$ 、 $\beta$ 領域の位置座標に基づいて、フォトマスクに描かれたパターンの回路構成の情報とに基づいて、フォトマスク位置決め部57cは、ガラス基板40に対するフォトマスク53の位置を決定する。そうして、上記データ処理部57は、ステージ制御部52に制御信号を出力して、図4のフォトマスクをステップアンドリピート方式で順次位置合わせした後に露光ランプ54で露光する。すなわち、ステージ51(図3に示す)の移動と停止を所定ピッチで繰り返して、停止中に露光するのである。その後、図5に示すように、ドライエッチングにより、データ線駆動回路に用いるトランジスタのシリコンアイランド1、2と、サンプリング回路に用いるトランジスタのシリコンアイランド3と、ロジック回路に用いるトランジスタのシリコンアイランド4、5と、走査線駆動回路に用いるトランジスタのシリコンアイランド6と、増幅回路に用いるトランジスタのシリコンアイランド7と、画素電極用スイッチング回路である

トランジスタのシリコンアイランド8とを $\beta$ 領域10Bに形成する。その後、従来と同様の工程で液晶表示装置を得る。なお、図5中において、10Aは $\alpha$ 領域である。また、位置データの基準点は予めガラス基板に設けたアライメントマークを用いるか、あるいはガラス基板のコーナーに設けたコーナーカットのエッジ部を用いればよい。

【0065】このように、上記駆動回路一体型のアクティブマトリクス液晶表示装置では、データ線駆動回路、サンプリング回路、ロジック回路、走査線駆動回路、増幅回路および画素電極用スイッチング回路の同じ機能を有する単位回路毎に夫々の半導体素子を同じ結晶性を有する多結晶シリコン膜の1つの領域のみに夫々形成することによって、上記単位回路のトランジスタ等の半導体素子の特性を均一にすることができる。

【0066】また、レーザーアニールによってガラス基板40上に形成された多結晶シリコン膜上にフォトレジストを塗布した後工程で、上記多結晶シリコン膜の表面の凹凸の大きさの状態を計測し、計測された多結晶シリコン膜の表面の凹凸の大きさによって分けられた複数の領域に基づいて、上記各単位回路に属する全ての半導体素子の能動層が形成される多結晶シリコン膜の領域の表面の凹凸の大きさが略等しくなるように、上記基板に対してフォトリソを位置決めすることによって、その後のフォトリソの露光とエッチングによるパターンニングにより上記単位回路のトランジスタを同じ結晶性を有する多結晶シリコン膜の領域に形成でき、特性の均一なトランジスタ等の半導体素子を有する薄膜半導体装置を実現することができる。

【0067】また、上記多結晶シリコン膜のパターンニングのときに形成されるアライメントマークは、後工程で露光する場合に用いることによって、フォトリソの位置合わせが容易にすることができる。

【0068】また、上記露光装置によって、上記各単位回路に属する全てのトランジスタのシリコンアイランドが多結晶シリコン膜の表面の凹凸の大きさによって分けられた複数の領域のうちの1つのみに形成されるように、ガラス基板40に対してフォトリソ53を位置決めして、フォトリソに露光するので、その後のエッチングによるパターンニングによって、同じ機能を有する上記単位回路のトランジスタ等の半導体素子を同じ結晶性を有する多結晶シリコン膜の領域に形成することができる。

【0069】また、特性が均一な薄膜半導体装置を用いた回路一体型のアクティブマトリクス型液晶表示装置は、走査線駆動回路、データ線駆動回路、画素電極用スイッチング回路の出力変動に起因する液晶表示装置の画品位劣化を大幅に低減することができ、良好な表示特性が得られる。

【0070】また、予め異なった機能を有する単位回路

間の間隔を広げて配置することによって、 $\alpha$ 領域が半導体素子のシリコン領域に掛かる確率を減らすことができる。

【0071】(第2実施形態) また、図6はこの発明の第2実施形態のレーザーアニール装置の機能ブロック図を示している。このレーザーアニール装置は、ガラス基板60を搭載するステージ61と、上記ステージ61を制御するステージ制御部62とを備えている。また、このレーザーアニール装置は、レーザービーム68を射出するレーザー光源63と、上記レーザー光源63からレーザービーム68のビーム形状を矩形にする光学系64と、上記レーザー光源63から射出されるレーザービーム68のビーム出力を制御するビーム出力制御部65と、上記レーザー光源63から射出されるレーザービーム68のビーム幅を調整するために光学系64を制御する光学系制御部66と、上記ステージ制御部62、ビーム出力制御部65および光学系調整部66の各動作を制御する制御部67とを備えている。上記ステージ61とステージ制御部62でレーザービーム走査部と走査方向制御部とを構成している。

【0072】上記構成のレーザーアニール装置は、第1実施形態と同様にしてガラス基板60上に形成されたアモルファスシリコン膜をレーザーアニールするとき、レーザービームのビーム幅、スキャンの移動量、レーザー出力またはスキャン方向を適宜変更して、レーザーアニールを行う。

【0073】例えば、図7に示すような薄膜半導体装置のシリコンアイランドパターンを形成するために上記レーザーアニール装置を用いて、ガラス基板60上に多結晶シリコン膜を形成する場合について以下に説明する。

【0074】まず、上記制御部67よりの制御信号に基づいて、ステージ制御部62は、ステージ61を水平面に沿って回転させて、レーザービーム68のスキャン方向をY方向にする。つまり、上記ステージ61の移動方向がガラス基板60に対してY方向になるようにするのである。

【0075】次に、上記ステージ61を所定のピッチでY方向に移動と停止を繰り返して、レーザービーム68をY方向にスキャンし、図7に示す走査線駆動回路に用いられるトランジスタのシリコンアイランドパターン76と、増幅回路に用いられるトランジスタのシリコンアイランドパターン77とに応じた $\alpha$ 領域21Aと $\beta$ 領域21Bを形成する。

【0076】次に、上記制御部67よりの制御信号に基づいて、ステージ制御部62は、ステージ61を水平面に沿って90degに回転させて、レーザービーム68のスキャン方向をX方向にする。

【0077】そうして、上記ステージ61を所定のピッチでX方向に移動と停止を繰り返して、レーザービーム68をX方向にスキャンして、図7に示すデータ線駆動

回路に用いられるトランジスタのシリコンアイランドパターン71, 72と、サンプリング回路に用いられるトランジスタのシリコンアイランドパターン73と、ロジック回路に用いられるトランジスタのシリコンアイランドパターン74, 75と、画素電極用スイッチング回路に用いられるトランジスタのシリコンアイランドパターン78とに応じた $\alpha$ 領域22A, 23Aと $\beta$ 領域22B, 23Bを形成する。

【0078】このとき、図7の $\alpha$ 領域21A~23A,  $\beta$ 領域21B~23Bの夫々の幅に応じて、制御部67

領域	データ線 駆動回路	走査線 駆動回路	画素 スイッチング回路
ビーム幅	1mm	0.9mm	0.5mm
スキャン移動量	0.20mm	0.18mm	0.10mm
レーザーパワー	300 mJ/cm <sup>2</sup>	280 mJ/cm <sup>2</sup>	250 mJ/cm <sup>2</sup>
スキャン方向	X方向	Y方向	X方向

図8はビーム幅方向すなわちスキャン方向の距離とレーザーパワーとの関係を示し、図9は図8よりもレーザーパワーが小さいときのビーム幅方向すなわちスキャン方向の距離とレーザーパワーとの関係を示している。図8, 図9に示すように、レーザーパワーが小さくなると、 $\alpha$ 領域A1, A2が減少する一方、 $\beta$ 領域Bが増大して、前述の $\beta$ 領域が増えるため、 $\beta$ 領域をトランジスタの多結晶シリコン領域とする場合に有利となる。一方、レーザーパワーが小さくなる場合、 $\beta$ 領域の多結晶シリコンの平均結晶粒径は小さくなり、トランジスタの電界効果移動度が $10\text{cm}^2/\text{V}\cdot\text{s}$ 程度になって、高いエネルギーでアニールした場合の数分の1から十分の1に減少する。したがって、このレーザーパワーを小さくする条件は、画素電極用スイッチング回路に用いるトランジスタのように、設計仕様上、電界効果移動度が小さくてよい素子に適用すればよい。

【0081】一方、データ線駆動回路に用いるトランジスタは高い移動度が要求されるため、高いレーザーパワーでアニールする。このとき、 $\alpha$ 領域A1, A2が増加するため、データ線駆動回路ブロックと画素電極用スイッチング回路ブロックの間は、 $500\mu\text{m}$ の間隔を設ける。この間隔は $100\mu\text{m}$ 以上で有ればよい。

【0082】こうして、上記レーザーアニール装置を用いてガラス基板上に多結晶シリコン膜を形成した後、第1実施形態と同様の露光装置を用いて、多結晶シリコン膜の表面の凹凸の大きさの状態で基づいて結晶性の検査を行い、その検査結果に基づいてフォトマスクの位置合わせを行って露光する。この後は、第1実施形態と同様の工程で液晶表示装置を得る。

【0083】このように、上記フォトマスクに描かれた回路の配置パターンに応じて、上記各単位回路に属する全てのシリコンアイランドが多結晶シリコン膜の表面の

よりの制御信号に基づいて、レーザー出力制御部65は、レーザー光源63から出射されたレーザービーム68のビーム出力を調整すると共に、光学系制御部66は、光学系64を調整して、レーザービーム68のビーム幅を変える。

【0079】図7に示す薄膜半導体装置では、レーザーアニールの条件を表1に示すように設定している。

【0080】

【表1】

凹凸の大きさによって分けられた複数の領域のうちの1つのみに形成されるように、レーザーアニールにより多結晶シリコン膜を予め形成することができ、単位回路の配置パターンの自由度を広げることができる。また、レーザーアニール時のビーム幅またはスキャンピッチを調節することにより、トランジスタのシリコンアイランドに用いるシリコン領域すなわち結晶粒径の大きな $\beta$ 領域の面積を広げることができる。

【0084】なお、上記第1, 第2実施形態では、露光装置の画像データ処理部57は、顕微鏡55とCCDカメラ56に計測された画像データに基づいて、ガラス基板40上の多結晶シリコン膜の表面の凹凸の大きさの状態を計測して、前述の $\alpha$ 領域および $\beta$ 領域を計測したが、それと同時に多結晶シリコン膜の表面の異常領域を計測して、その異常領域がトランジスタのシリコンアイランドが形成される領域にならないにしてもよい。

【0085】すなわち、図10に示すように、ガラス基板90上に形成されたアモルファスシリコン膜に異常領域91が認められた場合、位置座標算出部57aにより異常領域91の位置座標を算出して、その位置座標を位置座標記憶部57bに記憶して、その位置座標記憶部57bに記憶された $\alpha$ 領域、 $\beta$ 領域および異常領域の位置座標に基づいて、フォトマスク位置決め部57cによりステージ52を制御して、この異常領域91にシリコンアイランドパターンが配置されないように、第1, 第2実施形態の露光装置によりフォトマスクを位置調整した後露光する。この後、第1実施形態と同様にして液晶表示装置を得ることができる。

【0086】この場合、多結晶シリコン膜の異常領域は、レーザーアニールが原因で生じるとは限らず、レーザーアニール前のアモルファスシリコン膜の一部膜欠損等の不良も存在し得る。このような微小欠陥を検出する

ためには、ガラス基板全体の欠陥検査を行う必要があり、検査時間が長くなることが予想される。したがって、工程のスループットを向上させるために、前述の露光装置に多結晶シリコン結晶性検査機構を付加することに限らず、同様の機能を有する検査装置を別途作製し、その検査装置を用いた検査工程を露光前に追加してもよい。この場合、上記検査装置の欠陥計測結果は、露光装置に位置データとして転送し、露光装置での最適位置への位置合わせのときに用いる。

【0087】したがって、上記単位回路の半導体素子の欠陥を低減でき、この薄膜半導体装置の歩留まりが向上して、コストを低減できると共に、信頼性が向上する。

【0088】上記第1,第2実施形態では、アクティブマトリクス型液晶表示装置についてこの発明を説明したが、液晶表示装置に限らず、他の薄膜半導体装置を用いた装置にこの発明を適用してもよい。

【0089】また、上記第1,第2実施形態では、データ線駆動回路、サンプリング回路、ロジック回路、走査線駆動回路、増幅回路および画素電極用スイッチング回路にこの発明を適用したが、データ線駆動回路、サンプリング回路、ロジック回路、走査線駆動回路、増幅回路および画素電極用スイッチング回路のうちの少なくとも1つをこの発明に適用した液晶表示装置でもよい。

【0090】また、上記第1,第2実施形態では、ガラスサイズ、レーザービームのビーム形状(A1,A2領域の幅、B領域の幅等)、スキャン時の移動量、フォトマスク上のシリコンアイランドパターンの配置、露光装置の有効露光領域は、記載された数値に限定されるものではなく、使用する装置および製造する液晶表示装置の設計仕様等によって適宜設定してよい。

【0091】また、上記第1,第2実施形態では、多結晶シリコン膜の表面の凹凸の大きさの状態を計測する凹凸計測部および異常領域計測部として、暗視野観察法による顕微鏡55とCCDカメラ56を用いたが、エリブソメータや段差計等を用いてもよい。

【0092】また、上記第1,第2実施形態では、レーザービーム走査部としてのステージ61,ステージ制御部62によって、ガラス基板60を搭載するステージ61を移動させて、レーザービーム68を走査したが、レーザービーム走査部はこれに限らず、レーザー光源と光学系を移動させることによってレーザービームを走査してもよい。

【0093】また、上記第2実施形態では、レーザーアニール装置のステージ61とステージ制御部62で走査方向制御部を構成したが、レーザービームの走査方向を制御する手段はこれに限らず、レーザービームの走査方向を走査平面に沿って略90deg毎に回転させるか、または所定角度回転させるように、レーザー光源と光学系を動かしてもよい。

【0094】

【発明の効果】以上より明らかなように、請求項1の発明の薄膜半導体装置は、基板上のアモルファスシリコン膜を断面矩形状のレーザービームでスキャンするレーザーアニールによって上記基板上に形成された多結晶シリコン膜を能動層として用いた半導体素子が含まれる単位回路が配列された薄膜半導体装置において、上記多結晶シリコン膜の表面の凹凸の大きさによって分けられる複数の領域を有し、上記各単位回路に属する全ての半導体素子の能動層は、2つ以上の上記領域に形成されることがなく、1つの上記領域に形成されたものである。

【0095】したがって、請求項1の発明の薄膜半導体装置によれば、同じ機能を有する上記単位回路の半導体素子を同じ結晶性を有する多結晶シリコン膜の領域に形成することによって、上記単位回路の半導体素子の特性を均一にすることができる。この薄膜半導体装置を駆動回路一体型のアクティブマトリクス型液晶表示装置に適用した場合、表示品位を格段に向上することができ、産業上の効果は極めて大きい。

【0096】また、請求項2の発明の薄膜半導体装置は、請求項1の薄膜半導体装置において、上記単位回路は、液晶表示装置のデジタル信号を扱うロジック回路、アナログ信号をサンプリングするサンプリング回路、増幅回路、走査線駆動回路、データ線駆動回路および画素電極用スイッチング回路のうちの少なくとも1つであるので、半導体素子の特性のばらつきを少なくした薄膜半導体装置を用いることによって、表示特性の均一な液晶表示装置を実現することができる。

【0097】また、請求項3の発明の薄膜半導体装置は、請求項1または2の薄膜半導体装置を製造する薄膜半導体装置の製造方法において、レーザーアニールによって基板上に形成された多結晶シリコン膜の表面の凹凸の大きさの状態を計測し、上記多結晶シリコン膜上にフォトレジストを塗布し、計測された上記多結晶シリコン膜の表面の凹凸の大きさによって分けられた複数の領域に基づいて、上記各単位回路に属する全ての半導体素子の能動層が多結晶シリコン膜の表面の凹凸の大きさによって分けられた複数の領域のうちの1つのみに形成されるように、基板に対してフォトマスクを位置決めし、上記基板に対してフォトマスクを位置決めした後に、上記フォトマスクを用いて上記フォトレジストに露光して、上記フォトレジストを露光した後のレジストパターンに基づいて、エッチングにより多結晶シリコン膜をパターンニングするものである。

【0098】したがって、請求項3の発明の薄膜半導体装置によれば、同じ機能を有する上記単位回路の半導体素子を同じ結晶性を有する多結晶シリコン膜の領域に形成でき、トランジスタ等の半導体素子の特性を均一にできる。

【0099】また、請求項4の発明の薄膜半導体装置は、請求項3の薄膜半導体装置を製造する薄膜半導体装

置の製造方法において、上記多結晶シリコン膜をパターンニングする工程において、アライメントマークを形成するので、上記アライメントマークを、後工程で露光する場合に用いることによって、フォトマスクの位置合わせを容易に行うことができる。

【0100】また、請求項5の発明の薄膜半導体装置は、請求項3または4の薄膜半導体装置の製造方法において、上記多結晶シリコン膜の表面の異常領域を計測する工程を含むと共に、上記基板に対してフォトマスクを位置決めする工程において、上記多結晶シリコン膜の上記異常領域が上記単位回路の上記半導体素子の能動層が形成される領域にならないようにするので、上記単位回路の半導体素子の欠陥を低減でき、この薄膜半導体装置の歩留まりが向上して、コストを低減できると共に、信頼性を向上することができる。

【0101】また、請求項6の発明の薄膜半導体装置は、請求項1または2の薄膜半導体装置を製造する薄膜半導体装置の製造方法において、断面矩形状のレーザービームのビーム幅、走査方向のピッチ、ビーム出力または走査方向の少なくとも1つを変えて、上記各単位回路に属する全ての上記半導体素子の能動層が上記多結晶シリコン膜の表面の凹凸の大きさによって分けられた複数の領域のうちの1つのみに形成されるように、レーザーアニールを行うものである。

【0102】したがって、請求項6の発明の薄膜半導体装置によれば、本来単位回路を配置したい多結晶シリコン膜の領域の表面の凹凸の大きさを予め略等しくでき、単位回路の配置パターンの自由度を広げることができる。また、レーザーアニール時のビーム幅または走査方向のピッチを調節することにより、半導体素子の能動層に用いるシリコン領域すなわち結晶粒径の大きな $\beta$ 領域の面積を広げることができる。

【0103】また、請求項7の発明の薄膜半導体装置は、請求項3または4の薄膜半導体装置の製造方法において用いられる露光装置であって、上記多結晶シリコン膜の表面の凹凸の大きさの状態を計測する工程において、レーザーアニールによって基板上に形成された多結晶シリコン膜の表面の凹凸の状態を凹凸計測部により計測し、上記基板に対してフォトマスクを位置決めする工程において、上記凹凸計測部により計測された多結晶シリコン膜の表面の凹凸の大きさによって分けられた複数の領域の情報とフォトマスクに描かれたパターンの回路構成の情報とに基づいて、フォトマスク位置決め部により基板に対してフォトマスクを位置決めするものである。

【0104】したがって、請求項7の発明の薄膜半導体装置によれば、その後のフォトリソの露光とエッチングによるパターンニングによって、同じ機能を有する上記単位回路の半導体素子を同じ結晶性を有する多結晶シリコン膜の領域に形成でき、半導体素子の特性を均一に

することができる。

【0105】また、請求項8の発明の薄膜半導体装置は、請求項5の薄膜半導体装置の製造方法において用いられる検査装置であって、上記多結晶シリコン膜の表面の異常領域を計測する工程において、上記多結晶シリコン膜の表面の異常領域を異常領域計測部により計測し、上記異常領域計測部の計測結果に基づいて、上記多結晶シリコン膜の異常領域の位置座標を位置座標算出部により算出して、上記位置座標算出部により算出された上記異常領域の位置座標を位置座標記憶部により記憶するものである。

【0106】したがって、請求項8の発明の薄膜半導体装置によれば、上記位置座標記憶部に記憶された異常領域の位置座標を用いて、多結晶シリコン膜の異常領域に上記単位回路の半導体素子の能動層が形成されないように、フォトマスクの位置決めを行うことによって、上記単位回路の半導体素子の欠陥を低減することができ、この薄膜半導体装置の歩留まりが向上して、コストを低減できると共に、信頼性を向上することができる。

【0107】また、請求項9の発明の薄膜半導体装置は、請求項6の薄膜半導体装置の製造方法のレーザーアニールを行う工程に用いられるレーザーアニール装置であって、レーザービームを出射するレーザー光源と、上記レーザー光源からのレーザービームの断面形状を矩形にすると共に、そのレーザービームのビーム幅を調整可能な光学系と、上記レーザービームを走査方向のピッチを調整可能に走査するレーザービーム走査部と、上記レーザー光源からのレーザービームのビーム出力を制御するビーム出力制御部と、上記レーザービームの走査方向を走査平面に沿って略90deg毎に回転させるか、または所定角度回転させる走査方向制御部とを備えて、上記各単位回路に属する全ての半導体素子の能動層が多結晶シリコン膜の表面の凹凸の大きさによって分けられた複数の領域のうちの1つのみに形成されるように、制御部により上記光学系、レーザービーム走査部、ビーム出力制御部および走査方向制御部の各動作を制御するものである。

【0108】したがって、請求項9の発明の薄膜半導体装置によれば、本来単位回路の半導体素子の半導体素子の能動層を配置したい多結晶シリコン膜の領域の表面の凹凸の大きさを略等しくでき、単位回路の配置パターンの自由度を広げることができる。また、レーザーアニール時のビーム幅または走査方向のピッチを調節することにより、半導体素子の能動層に用いるシリコン領域すなわち結晶粒径の大きい $\beta$ 領域の面積を広げることができる。

【0109】また、請求項10の発明の薄膜半導体装置は、レーザーアニールによって基板上に形成された多結晶シリコン膜の表面の凹凸の状態を凹凸計測部により計測し、上記凹凸計測部により計測された多結晶シリコン



膜の表面の凹凸の大きさによって分けられた複数の領域の情報とフォトマスクに描かれたパターンの回路構成の情報とに基づいて、上記基板に対してフォトマスクをフォトマスク位置決め部により位置決めするものである。

【0110】したがって、請求項10の発明の薄膜半導体装置によれば、その後のフォトレジストの露光とエッチングによるパターンニングによって、同じ機能を有する上記単位回路の半導体素子を同じ結晶性を有する多結晶シリコン膜の領域に形成でき、半導体素子の特性を均一にすることができる。

【0111】また、請求項11の発明の薄膜半導体装置は、レーザーアニールによって基板上に形成された多結晶シリコン膜の表面の異常領域を異常領域計測部により計測し、上記異常領域計測部の計測結果に基づいて、上記多結晶シリコン膜の異常領域の位置座標を位置座標算出部により算出して、上記位置座標算出部により算出された上記異常領域の位置座標を位置座標記憶部により記憶するものである。

【0112】したがって、請求項11の発明の薄膜半導体装置によれば、上記位置座標記憶部に記憶された異常領域の位置座標を用いて、多結晶シリコン膜の異常領域に上記単位回路の半導体素子の能動層が形成されないように、フォトマスクの位置決めを行うことによって、上記単位回路の半導体素子の欠陥を低減することができ、薄膜半導体素子の歩留まりが向上して、コストを低減できると共に、信頼性を向上することができる。

【0113】また、請求項12の発明の薄膜半導体装置は、レーザービームを出射するレーザー光源と、上記レーザー光源からのレーザービームの断面形状を矩形にすると共に、そのレーザービームのビーム幅を調整可能な光学系と、上記レーザービームの出力を制御するビーム出力制御部と、上記レーザービームの走査方向を走査平面に沿って略90deg毎に回転させるか、または所定角度回転させる走査方向制御部とを備えて、各単位回路に属する全ての半導体素子の能動層が多結晶シリコン膜の表面の凹凸の大きさによって分けられた複数の領域のうちの1つのみに形成されるように、制御部により上記光学系、レーザービーム走査部、ビーム出力制御部および走査方向制御部の各動作を制御するものである。

【0114】したがって、請求項12の発明の薄膜半導体装置によれば、本来単位回路の半導体素子の能動層を配置したい多結晶シリコン膜の領域の表面の凹凸の大きさを略等しくでき、単位回路の配置パターンの自由度を広げることができる。また、レーザーアニール時のビーム幅または走査方向のピッチを調節することにより、半導体素子の能動層に用いるシリコン領域すなわち結晶粒径の大きいβ領域の面積を広げることができる。

【0115】また、請求項13の発明の薄膜半導体装置は、請求項1の薄膜半導体装置を用いたアクティブマトリクス型液晶表示装置であって、走査線駆動回路、デー

タ線駆動回路および画素電極用スイッチング回路を備えたものである。

【0116】したがって、請求項13の発明の薄膜半導体装置によれば、この薄膜半導体装置を適用した駆動回路一体型のアクティブマトリクス型液晶表示装置の表示特性を均一にできるため、走査線駆動回路、データ線駆動回路、画素電極用スイッチング回路の出力変動に起因する液晶表示装置の画像品位劣化を大幅に低減することができ、表示品位を格段に向上することができる。

【0117】また、請求項14の発明の薄膜半導体装置は、請求項13のアクティブマトリクス型液晶表示装置において、上記走査線駆動回路と上記画素電極用スイッチング回路との間隔と上記データ線駆動回路と画素電極用スイッチング回路との間隔が少なくとも100μm以上になるように、上記走査線駆動回路、上記データ線駆動回路および上記画素電極用スイッチング回路を夫々配置したので、予め異なった機能を有する単位回路間の間隔を広げて配置することによって、α領域が半導体素子のシリコン領域に掛かる確率を減らすことができる。

#### 【図面の簡単な説明】

【図1】 図1はこの発明の第1実施形態の薄膜半導体装置の製造工程において、ガラス基板上に形成された多結晶シリコン膜をレーザーアニールするときのレーザービームのスキャン状態を示す図である。

【図2】 図2は上記レーザーアニールにより多結晶シリコン膜が形成されたガラス基板の一部の拡大平面図である。

【図3】 図3は上記薄膜半導体装置の製造に用いる露光装置の機能ブロック図である。

【図4】 図4は上記薄膜半導体装置のフォトマスクの一部の平面図である。

【図5】 図5は上記薄膜半導体装置の製造工程においてパターンニングされたシリコンアイランドの一部の平面図である。

【図6】 図6はこの発明の第2実施形態の薄膜半導体装置の製造方法に用いられるレーザーアニール装置の機能ブロック図である。

【図7】 図7は上記レーザーアニール装置を用いた薄膜半導体装置の製造工程においてパターンニングされたシリコンアイランドの一部の平面図である。

【図8】 図8は上記レーザーアニール装置のレーザーパワーが大きいときのビーム幅方向の距離とレーザーパワーとの関係を示す図である。

【図9】 図9は上記レーザーアニール装置のレーザーパワーが小さいときのビーム幅方向の距離とレーザーパワーとの関係を示す図である。

【図10】 図10は多結晶シリコン膜に異常領域を有するガラス基板の一部の平面図である。

【図11】 図11は従来の薄膜半導体装置の製造工程を示す図である。



【図 1 2】 図 1 2 は上記薄膜半導体装置を用いた回路一体型の液晶表示装置の概略図である。

【図 1 3】 図 1 3 はレーザービームのビーム幅方向の距離とレーザーパワーとの関係を示す図である。

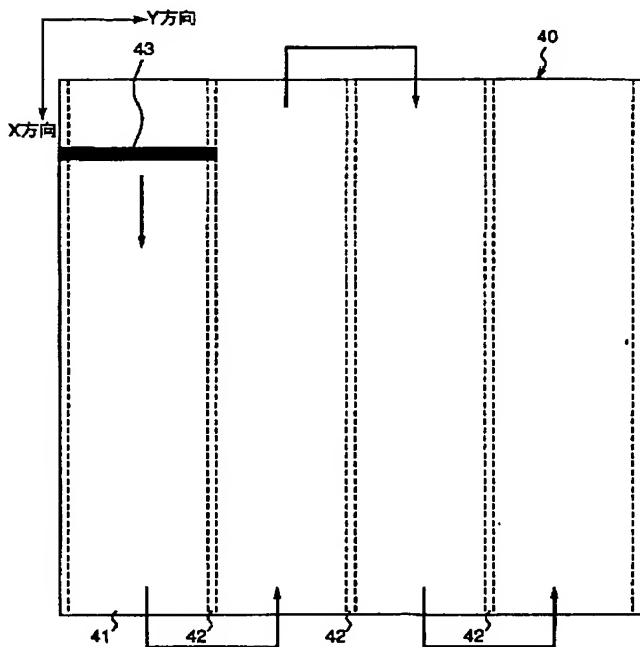
【図 1 4】 図 1 4 は図 1 3 のレーザービームをアモルファスシリコン膜上をスキャンしたときの状態を示す図である。

【符号の説明】

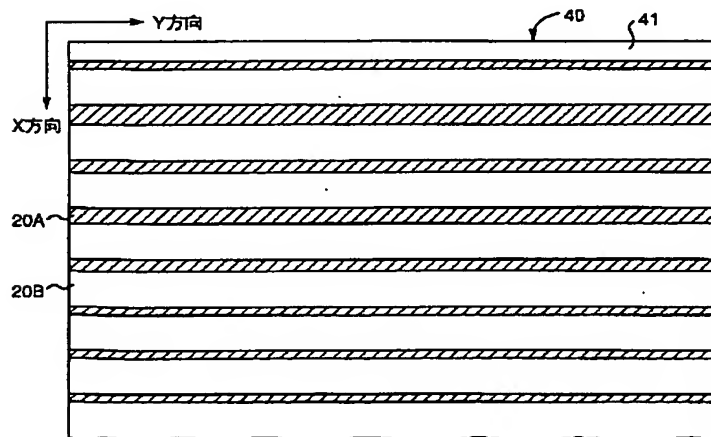
1, 2…データ線駆動回路に用いるトランジスタのシリコンアイランド、3…サンプリング回路に用いるトランジスタのシリコンアイランド、4, 5…ロジック回路に

用いるトランジスタのシリコンアイランド、6…走査線駆動回路に用いるトランジスタのシリコンアイランド、7…増幅回路に用いるトランジスタのシリコンアイランド、10A, 20A, 21A, 22A, 23A… $\alpha$ 領域、10B, 20B, 21B, 22B, 23B… $\beta$ 領域、43…レーザービーム、40…ガラス基板、41…多結晶シリコン膜、42…重ね領域、51…ステージ、52…ステージ制御部、53…フォトマスク、54…露光ランプ、55…顕微鏡、56…露光ランプ、57…画像データ処理部、57a…位置座標算出部、57b…位置座標記憶部、57c…フォトマスク位置決め部。

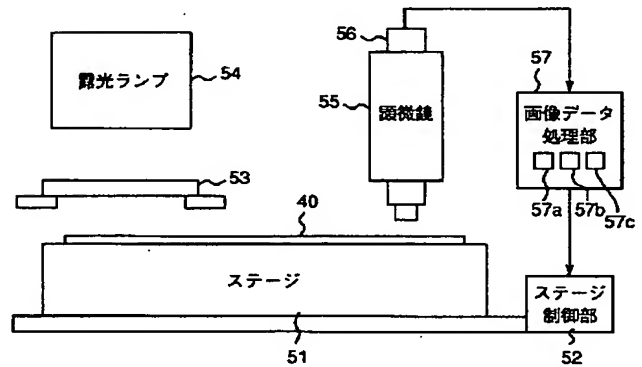
【図 1】



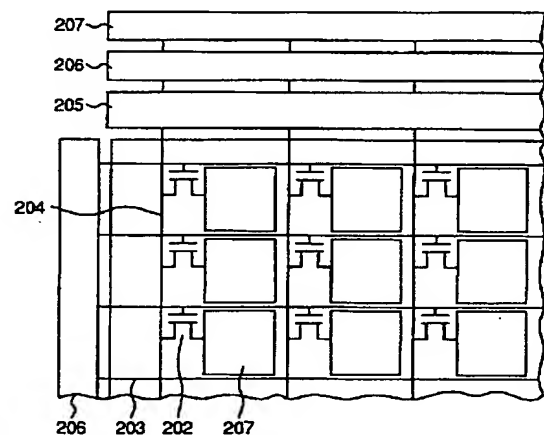
【図 2】



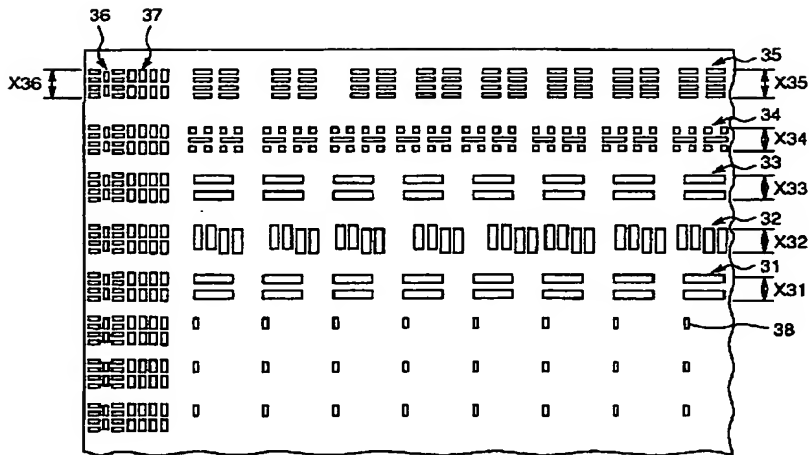
【図 3】



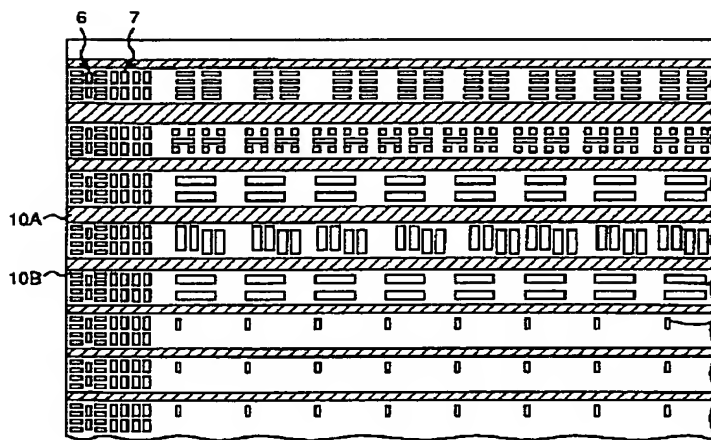
【図 1 2】



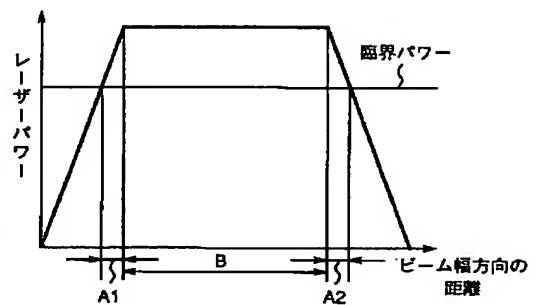
【図 4】



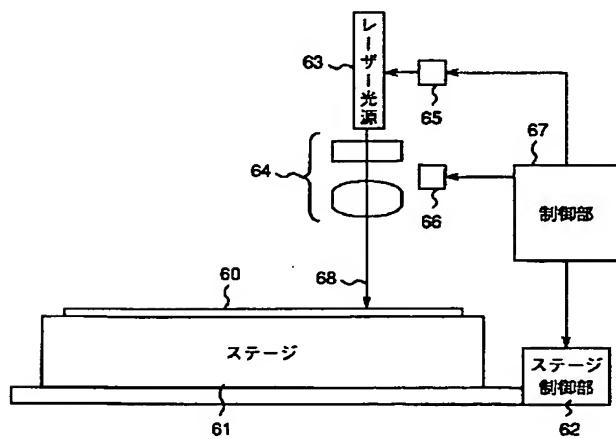
【図 5】



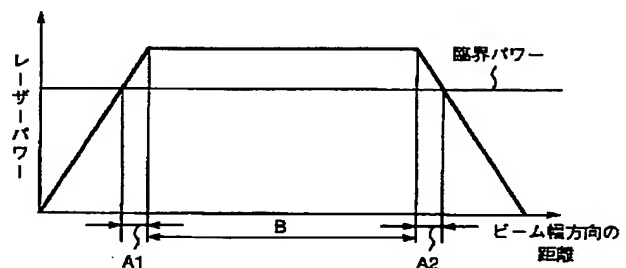
【図 1 3】



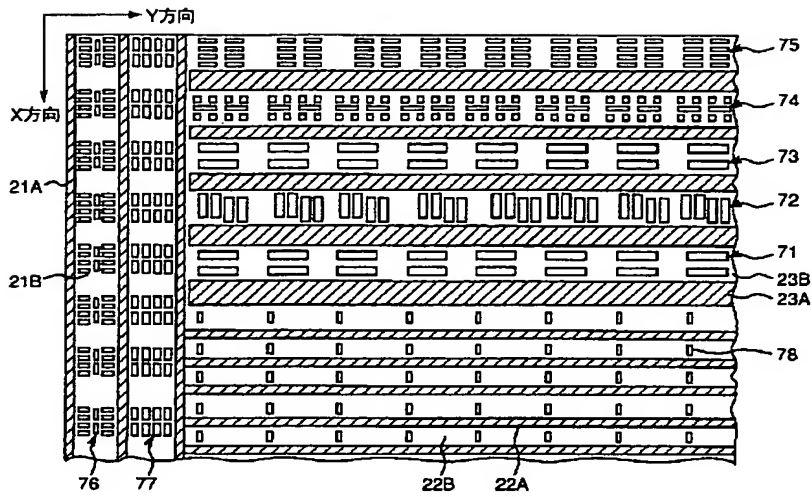
【図 6】



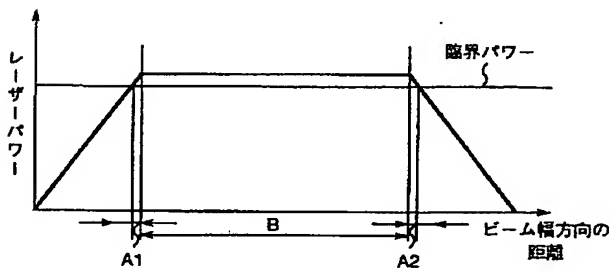
【図 8】



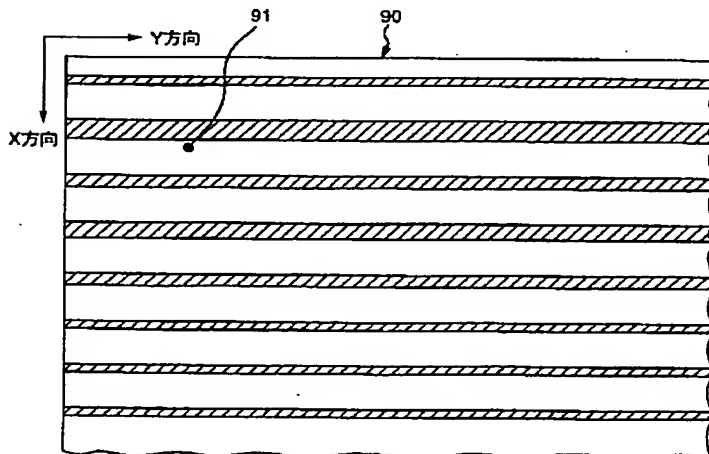
【図 7】



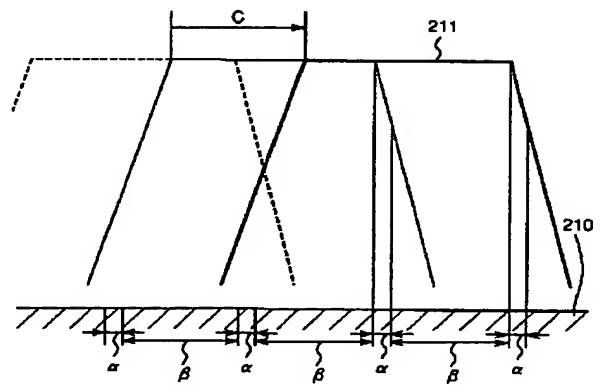
【図 9】



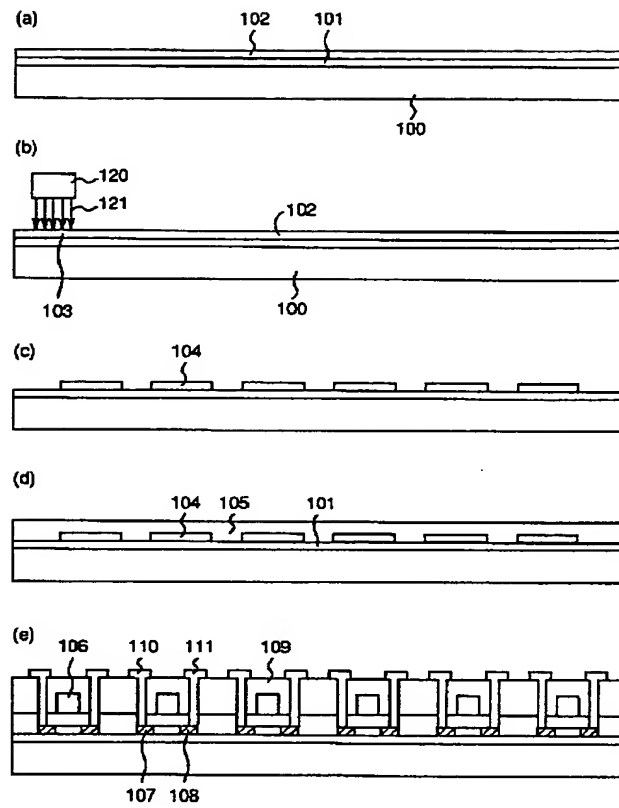
【図 10】



【図 14】



【図 1 1】



フロントページの続き

(51)Int. Cl.<sup>6</sup>

識別記号

F I

H O I L 29/78

6 2 7 C